

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-142499

(43)Date of publication of application : 18.06.1991

(51)Int.CI.

G09G 3/36

G02F 1/133

G09F 9/30

(21)Application number : 01-282109

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 30.10.1989

(72)Inventor : YAMAMOTO ATSUYA

EMOTO FUMIAKI

SENDA KOJI

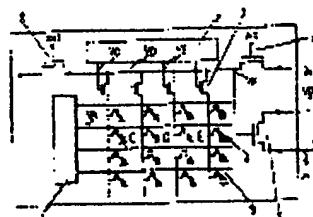
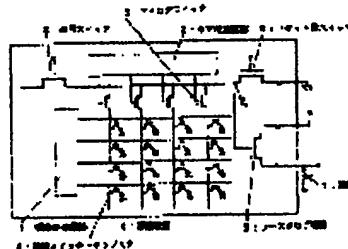
FUJII EIJI

(54) IMAGE DISPLAY DEVICE AND INSPECTION METHOD THEREOF

(57)Abstract:

PURPOSE: To easily investigate the position of a point defect of a picture element before a liquid crystal process by providing a switch for resetting and further a source follower circuit consisting of a transistor and resistor in the drain part of an analog switch.

CONSTITUTION: The output VF of a signal switch 8 is first kept always high and signals are sequentially written into the picture element part of an array A while the selection pulse consisting of VA is outputted from the array A of a vertical scanning circuit 1 as a writing mode. The written signal charges are accumulated through picture element switching transistors 9 into storage capacities 4 of MOS structure. The signals from the respective picture elements of the array A are sequentially read out by driving a horizontal scanning circuit 2 as a reading out mode. The read out information is inputted to the source follower circuit 5. The output from the follower circuit 5 is not observed if there is a defect in the transistor 9 for switching or the storage capacity 4, etc. The picture elements (C), (D), (E) of the array A are successively inspected in such a manner, by which the defective points are decided.



(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2728748号

(45)発行日 平成10年(1998)3月18日

(24)登録日 平成9年(1997)12月12日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
G 0 9 F 9/30	3 3 3		G 0 9 F 9/30	3 3 3

請求項の数2(全6頁)

(21)出願番号	特願平1-282109
(22)出願日	平成1年(1989)10月30日
(65)公開番号	特開平3-142499
(43)公開日	平成3年(1991)6月18日

(73)特許権者	99999999 松下電子工業株式会社 大阪府高槻市幸町1番1号
(72)発明者	山本 敦也 大阪府門真市大字門真1006番地 松下電子工業株式会社内
(72)発明者	江本 文昭 大阪府門真市大字門真1006番地 松下電子工業株式会社内
(72)発明者	千田 耕司 大阪府門真市大字門真1006番地 松下電子工業株式会社内
(74)代理人	弁理士 池内 寛幸
審査官	奥村 元宏

最終頁に続く

(54)【発明の名称】 画像表示装置およびその検査方法

(57)【特許請求の範囲】

【請求項1】マトリクス状に配列され、垂直信号線および水平信号線によりそれぞれ行および列ごとに共通接続され、かつそれがスイッチングトランジスタと容量素子からなる複数の画素を有する画像表示装置において、第1のソース端子、第1のゲート端子および第1のドレイン端子を有し、前記第1のソース端子または前記第1のドレイン端子には前記垂直信号線が接続されたスイッチと、前記第1のゲート端子に接続された水平走査回路と、前記水平信号線に接続された垂直走査回路と、前記第1のソース端子または前記第1のドレイン端子のうちの、前記垂直信号線が接続されていないほうの端子を共通接続する信号入力線と、第2のソース端子、第2のゲート端子および第2のドレイン端子を有し、前記信号入力線の一終端が前記第2のソース端子または前記第

2のドレイン端子に接続された信号スイッチと、前記スイッチから見て前記信号スイッチが接続されていない側の、前記信号入力線の一終端に共通に接続されたリセット用スイッチおよびソースホロア回路とを備えたことを特徴とする画像表示装置。

【請求項2】請求項1記載の画像表示装置の検査方法であって、前記信号スイッチから前記スイッチを通して所定の画素に一定の信号電荷を蓄積させた後、前記信号スイッチをオフにし、前記蓄積させた信号電荷を前記スイッチおよび前記信号入力線を通して前記ソースホロア回路に入力し、前記ソースホロア回路から出力を検出し、次の画素の信号を読み出す前に前記リセットスイッチをオンにして所定の画素に蓄積されている信号電荷を放電させ、前記出力の状態によって前記画素の良否の判定を行うことを特徴とする画像表示装置の検査方法。

【発明の詳細な説明】

[産業上の利用分野]

本発明は、絶縁基板上に薄膜トランジスタを用いて形成した液晶画像表示装置およびその検査方法に関するものである。

[従来の技術]

近年、液晶を用いた画像表示装置は、薄型、低消費電力等、多くの特徴を有し、ポケットTV、ラップトップパソコン、ワープロ等の応用製品が次々と生産され、非常に注目を集めてきている技術である。とくに薄膜トランジスタ(TFT)を用いた液晶表示素子は、カラー化でき、画質も良いことから最近さまざまな技術改良がなされている。そして、液晶を用いた画像表示装置においては、高精細度化の要求とともに、単位画素数は増加する傾向にある。

以下に従来の画像表示装置について説明する。

第3図に従来のTFTを用いたアクティブマトリクス方式の液晶表示装置の構成図を示す。第3図において、垂直走査回路11及び水平走査回路12による駆動回路があり、水平走査回路12の各出力部には、水平走査回路12の出力により制御される転送用トランジスタスイッチ群13が形成されている。画素部14は二次元マトリクス状に配列され、アクティブマトリクス方式で駆動されている。垂直走査回路11の出力である水平ゲート線はポリシリコンで形成され、垂直信号線はALにより形成されており、画素部へ点順次に書き込まれるようになっている。

[発明が解決しようとする課題]

しかしながら、このような従来の構成では、液晶工程(液晶組成物の注入封止工程、以下同じ)へ導入する前に画素内のスイッチングトランジスタ又は蓄積容量に不良がある場合、その箇所を見つけることは非常に困難であり、通常、液晶工程後に画像を表示させて判定しなくてはならないという課題があった。液晶工程後に判定していくには、液晶工程のコストが無駄になるばかりでなく、歩留まりが低下し、省力化が困難であるという課題がある。

本発明は上記課題を解決するため、液晶工程導入前に画素内のトランジスタ又は蓄積容量などの不良により点欠陥となる箇所が判定でき、不良のTFT基板は液晶工程前に判別できる画像表示装置及び検査方法を提供するものである。

本発明は上記欠点に鑑み、液晶工程導入前に画素内のトランジスタ又は蓄積容量などの不良により点欠陥となる箇所が判定でき、不良のTFT基板は液晶工程前に判別できる画像表示装置及び検査方法を提供するものである。

[課題を解決するための手段]

前記目的を達成するため、本発明による画像表示装置は、第1のソース端子、第1のゲート端子および第1のドレン端子を有し、前記第1のソース端子または前記

第1のドレン端子には前記垂直信号線が接続されたスイッチと、前記第1のゲート端子に接続された水平走査回路と、前記水平走査回路に接続された垂直走査回路と、前記第1のソース端子または前記第1のドレン端子のうちの、前記垂直信号線が接続されていないほうの端子を共通接続する信号入力線と、第2のソース端子、第2のゲート端子および第2のドレン端子を有し、前記信号入力線の一終端が前記第2のソース端子または前記第2のドレン端子に接続された信号スイッチと、前記スイッチから見て前記信号スイッチが接続されていない側の、前記信号入力線の一終端に共通に接続されたリセット用スイッチおよびソースホロア回路とを備えたことを特徴とする。

また、本発明による上記のような画像表示装置の検査方法は、前記信号スイッチから前記スイッチを通して所定の画素に一定の信号電荷を蓄積させた後、前記信号スイッチをオフにし、前記蓄積させた信号電荷を前記スイッチおよび前記信号入力線を通して前記ソースホロア回路に入力し、前記ソースホロア回路から出力を検出し、次の画素の信号を読み出す前に前記リセットスイッチをオンにして所定の画素に蓄積されている信号電界を放電させ、前記出力の状態によって前記画素の良否の判定を行うことを特徴とする。

[作用]

上記のような本発明の画像表示装置及びその検査方法によれば、画素1個1個に順次情報を書き込み、一定時間後にその情報を読み出すことにより、画素1個1個の蓄積容量の不良を検出することができる。そして、リセット用スイッチを独立に設け、それを用いて画素1個1個の信号容量を検出する際にリセットを行い、かつ画素からの信号をソースホロア回路を用いて增幅しているので、画素1個1個の信号容量をいずれの画素に対しても等しい誤差で測定できる。

[実施例]

以下、実施例を用いて本発明をさらに具体的に説明する。なお本発明は下記の実施例に限定されるものではない。

第1図は本発明の実施例における画像表示装置の構成図を示す。1は垂直走査回路、2は水平走査回路、3はアナログスイッチ、9は画素スイッチングトランジスタ、4は画素部の蓄積容量、5はA(配線)での電位を検出するためのソースホロア回路、6はリセット用スイッチ、7は抵抗、8はAでの配線容量を小さくするための信号スイッチで、このスイッチをオフにすることで外部の配線容量をなくすことができる。信号スイッチ8の出力は、アナログスイッチ3のドレン部を通り、一方はリセット用スイッチ6に、他方はソースホロア回路5へと接続されている。また水平走査回路2の出力部には、水平走査回路2の出力により制御される転送用アナログスイッチ3が備えられており、画素部へAL配線によ

り点順次書き込みで信号伝達を行う。

次に本発明の画像表示装置の点欠陥を調べる方法について説明する。第2図(a)は本発明の実施例における点欠陥の検査例の構成図、第2図(b)は第2図(a)に示す本発明の実施例の書き込みモード図(電圧波形図)、第2図(c)は第2図(a)に示す本発明の実施例の読み出しモード図(電圧波形図)を示す。

例えばVAは垂直走査回路1A列の出力波形、VFはアナログスイッチ3から画素へ書き込む波形、VC、VD、VEは水平走査回路2からアナログスイッチ3に印加するC行、D行、E行のパルス波形、φRは読み出し時のリセット用スイッチ6に印加するパルス波形、VGはソースホロア回路5の出力波形を示している。

検査の方法は、例えばまず書き込みモードとして垂直走査回路1のA列からVAなる選択パルスが outputされていて間に信号スイッチ8の出力VFを常にhighにしておき、水平走査回路2を駆動してA列の画素部に順番に信号を書き込む。書き込まれた信号電荷は、画素スイッチングトランジスタ9を通してMOS(metal oxide-semiconductor)構造の蓄積容量4に蓄積される。そして一定時間情報を保持する。次に読み出しモードとして、再度垂直走査回路1のA列からVAなる選択パルスを出力し、信号スイッチ8にφBなるパルスを入力し、信号スイッチ8をオフ状態にしソースラインの外部配線容量をカットする。そしてA列の各画素からの信号を水平走査回路2を駆動して、順次読み出す。読み出した情報は蓄積容量4からスイッチングトランジスタ9を通り、アナログスイッチ3を通りトランジスタと抵抗7によるソースホロア回路5に入力される。

そしてソースホロア回路5の出力を観察する。もしスイッチング用トランジスタ9又は蓄積容量4などに不良がある場合は、ソースホロア回路5からの出力は観察されない。また一画素分の出力を観察し、水平走査回路2を動かして次の画素の読み出しに移る前にリセット用スイッチ6にφRなるパルスを入力して電位を落としておく。このようにしてA列の画素(C)、(D)、(E)を水平走査回路を駆動して順次検査してゆく。もしA列の(E)の画素に不良がある場合、ソースホロア回路5からの出力はVGに示すようにその部分の出力がなくなり不良箇所が判定できる。同様に垂直走査回路1を駆動

し各段について検査を行い、画素全てを検査する。

以上のようにして全画素について検査を行うことにより、画素部の点欠陥を液晶工程以前に簡単に検査することができます。また、ソースホロア回路5やリセット用スイッチ6、信号スイッチ8は実施例では薄膜トランジスタにより形成しているため、水平、垂直走査回路を形成する場合と同時に作製することができるので、新たにプロセスを増やす必要はない。

なお、本実施例では検出用回路としてトランジスタと10 抵抗によるソースホロア回路を用いたが、他の構成のソースホロア回路にしてもよい。また抵抗7は外付けにしても内蔵としてもよく、トランジスタによる抵抗を用いてもよい。さらにアナログスイッチはNチャネルトランジスタでもPチャネルトランジスタでもよく、またはCMOS-TFT構成の転送用ゲートでもよい。

なお、本実施例では、Highの情報を画素に書き込んで、検査を行なったが、さらに、Lowの情報を書き込むことにより、検査精度を向上させてもよい。

さらに本発明においては、表示素子の裏側に照明を設けた、いわゆるバックライト方式を採用してもよい。

[発明の効果]

以上のように本発明の画像表示装置及びその検査方法によれば、画素1個1個の蓄積容量の不良を液晶工程の前に検出することができる。しかも、画素1個1個の信号容量をいずれの画素に対しても等しい誤差で測定できる。

【図面の簡単な説明】

第1図は本発明の実施例における画像表示装置の構成図、第2図(a)は本発明の実施例における点欠陥の検査例の構成図、第2図(b)は第2図(a)に示す本発明の実施例の書き込みモード図、第2図(c)は第2図(a)に示す本発明の実施例の読み出しモード図、第3図は従来の画像表示装置の構成図である。

1……垂直走査回路、2……水平走査回路

3……アナログスイッチ、4……蓄積容量

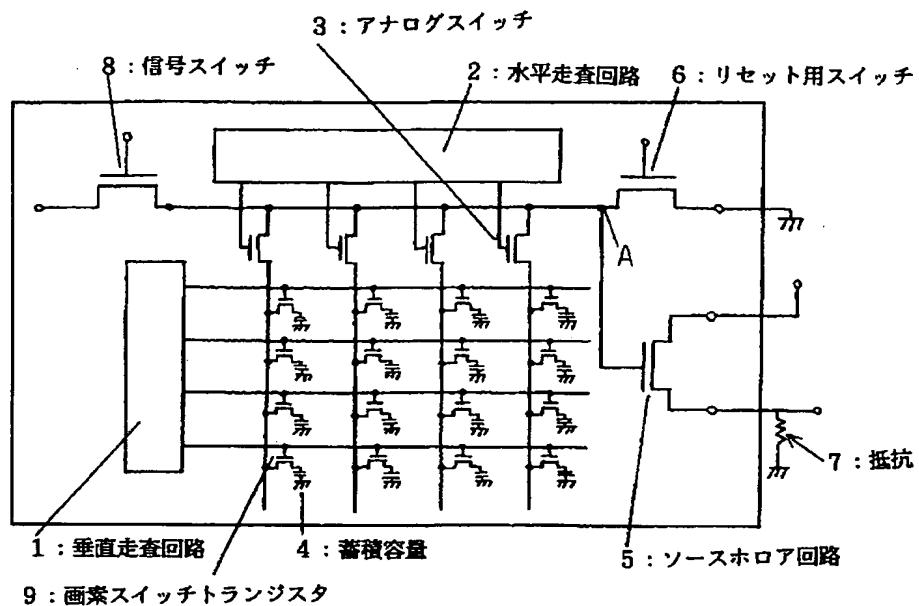
5……ソースホロア回路

6……リセット用スイッチ、7……抵抗

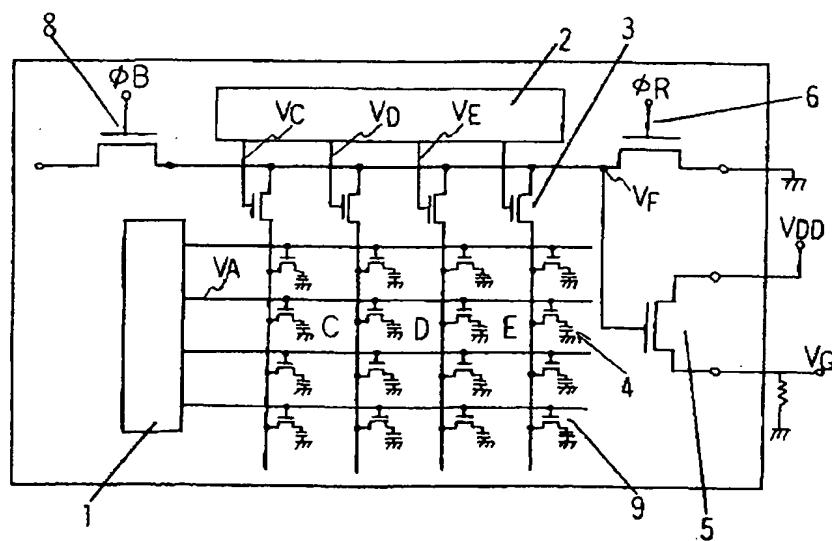
8……信号スイッチ

9……画素スイッチトランジスタ

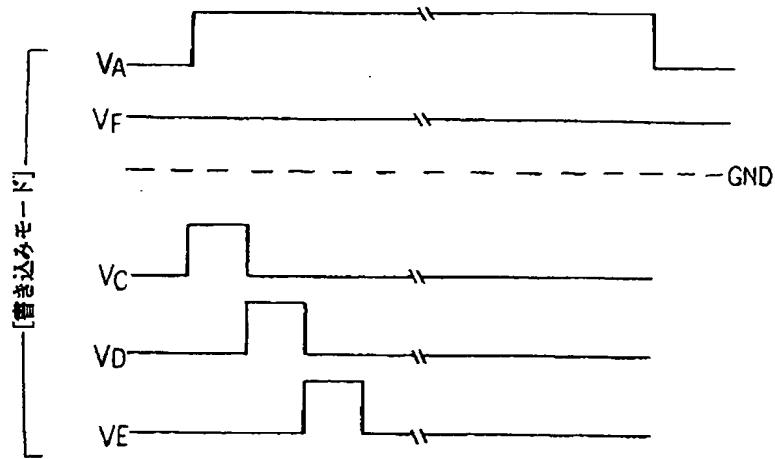
【第1図】



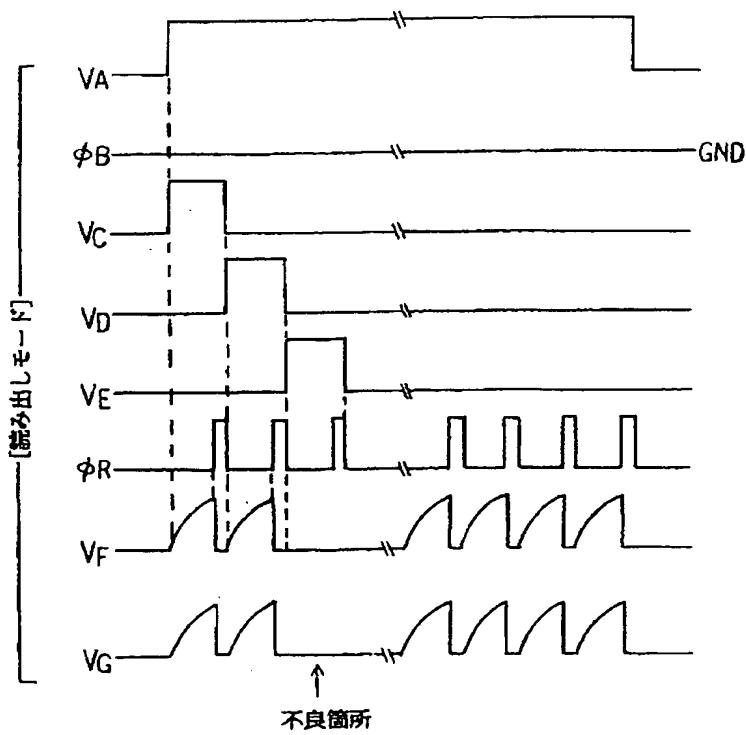
【第2図 (a)】



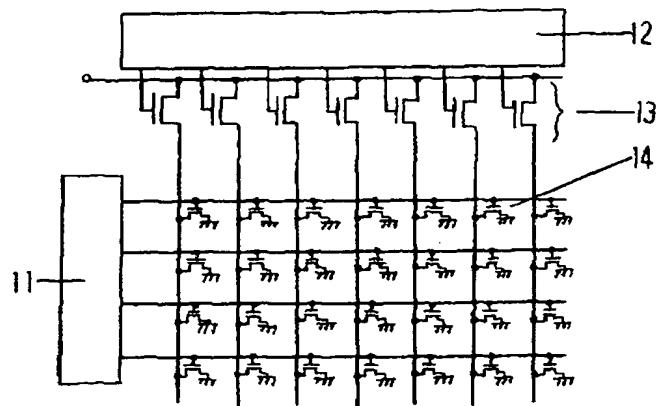
【第2図 (b)】



【第2図 (c)】



【第3図】



フロントページの続き

(72) 発明者 藤井 英治

大阪府門真市大字門真1006番地 松下電
子工業株式会社内

20

(56) 参考文献 特開 昭57-38498 (J P, A)